**Analog IC Design Homework 1 Report**

* Student ID : 110011207
* Name : 林士登
* Department : ESS工科系25級

**Question 1.**

此題的目的要我們找出在固定電壓VDD與W/L下，在改變Vgs與通道長度L下觀察對電晶體pmos與nmos的電流Id所造成的影響。此題所要求的參數為：

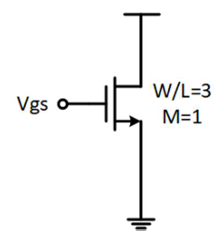
1. W/L=3
2. M=1
3. Vdd=1.8V
4. NMOS 🡪 Vgs=0V~1.8V, step=0.01V
5. PMOS 🡪 Vsg=0V~1.8V, step=0.01V
6. L=0.5um~5um, step=0.5um

由以下的兩個hspice指令可以生成符合以上1.~6.點的規格並做Id v.s Vgs或Vsg對不同L的曲線圖

1. **nmos.sp (省略declaration)**

.param lsweep=0.5u

VVdd=1.8V

.param wsweep=lsweep\*3

MM0 vdd vgs vss vss n\_18 w=wsweep l=lsweep m=1

VVdd vdd 0 1.8

VVss vss 0 0

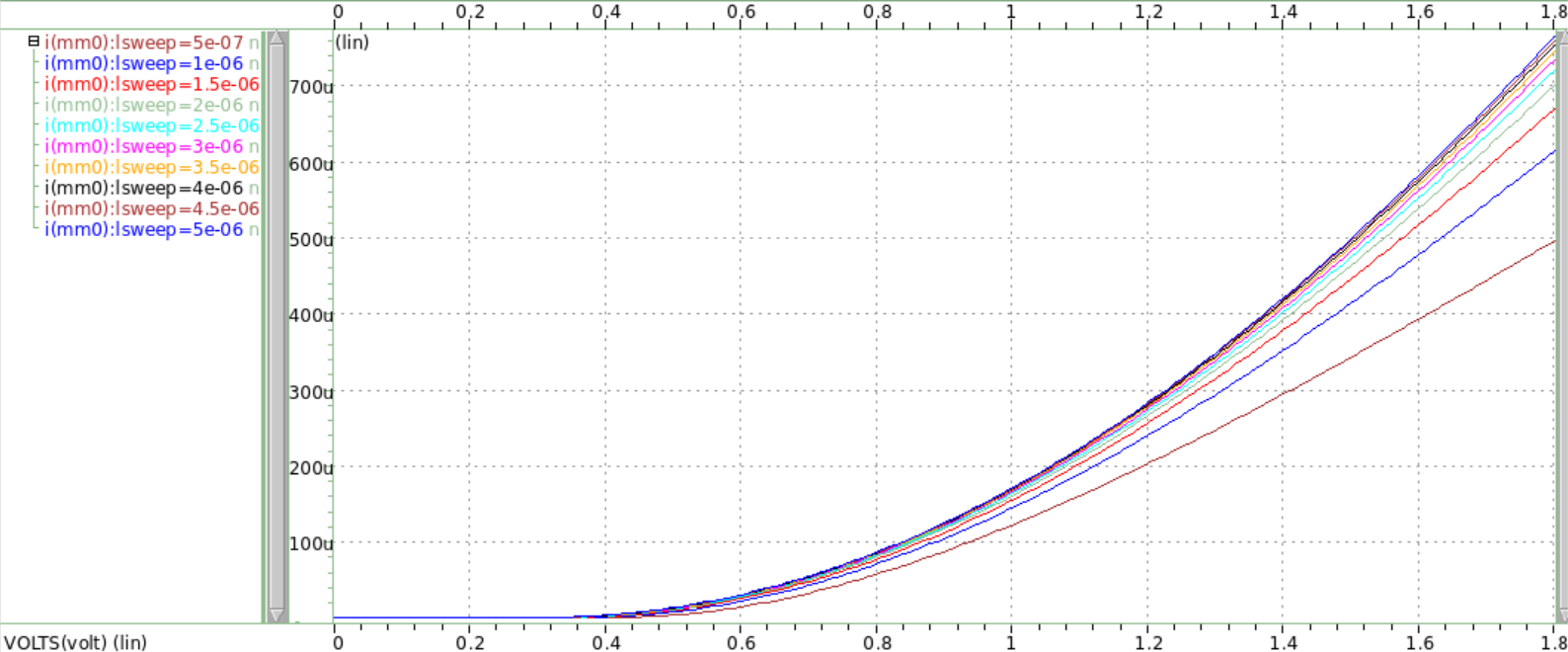
VVgs vgs 0 0

VVss=0V

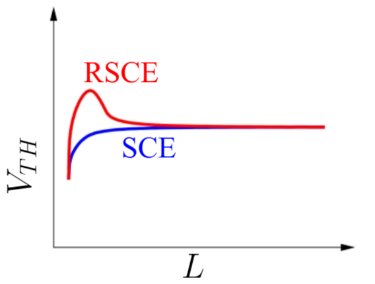
.DC VVgs 0 1.8 0.01 sweep lsweep 0.5u 5u 0.5u

.PROBE I(MM0)

.END



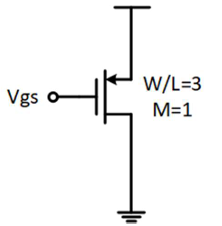
**Observation and Comments :**

由此模擬nmos的Ids v.s Vgs曲線可以觀察到在相同Vgs下，通道長度L (圖中的Lsweep)越大，則電流Ids越大。這個現象主要受*short channel effect (SCE)* 和*reversed short channel effect (RSCE)* 影響，下圖為SCE 和RSCE對Vth的影響，首先，在SCE的*DIBL (drain induced barrier lowering)* 效應下，短通道的depletion region較靠近，導致形成反轉層所需的能量降低，因此通道長度L變短造成Vth降低；但是後來為了抵抗DIBL，*halo implantation*在現今的製程技術被使用，而halo會誘使RSCE的產生，由下圖可以觀察到，RSCE發生時，通道長度L變短Vth會上升。在此題目中Vds永遠保持1.8V，大於Vgs - Vth的最大值，因此在MOS打開後即進入飽和區，電流公式為 ，在 皆保持定值狀態下，L越短會讓Vth越大而導致電晶體電流Id越小，因而呈現上圖hspice模擬曲線的走勢 (L越大Id越大)。

1. **pmos.sp (省略declaration)**

.param lsweep=0.5u

Vdd=1.8V

.param wsweep=lsweep\*3

MM0 vss vg vdd vdd p\_18 w=wsweep l=lsweep m=1

Vdd vdd 0 1.8

Vss vss 0 0

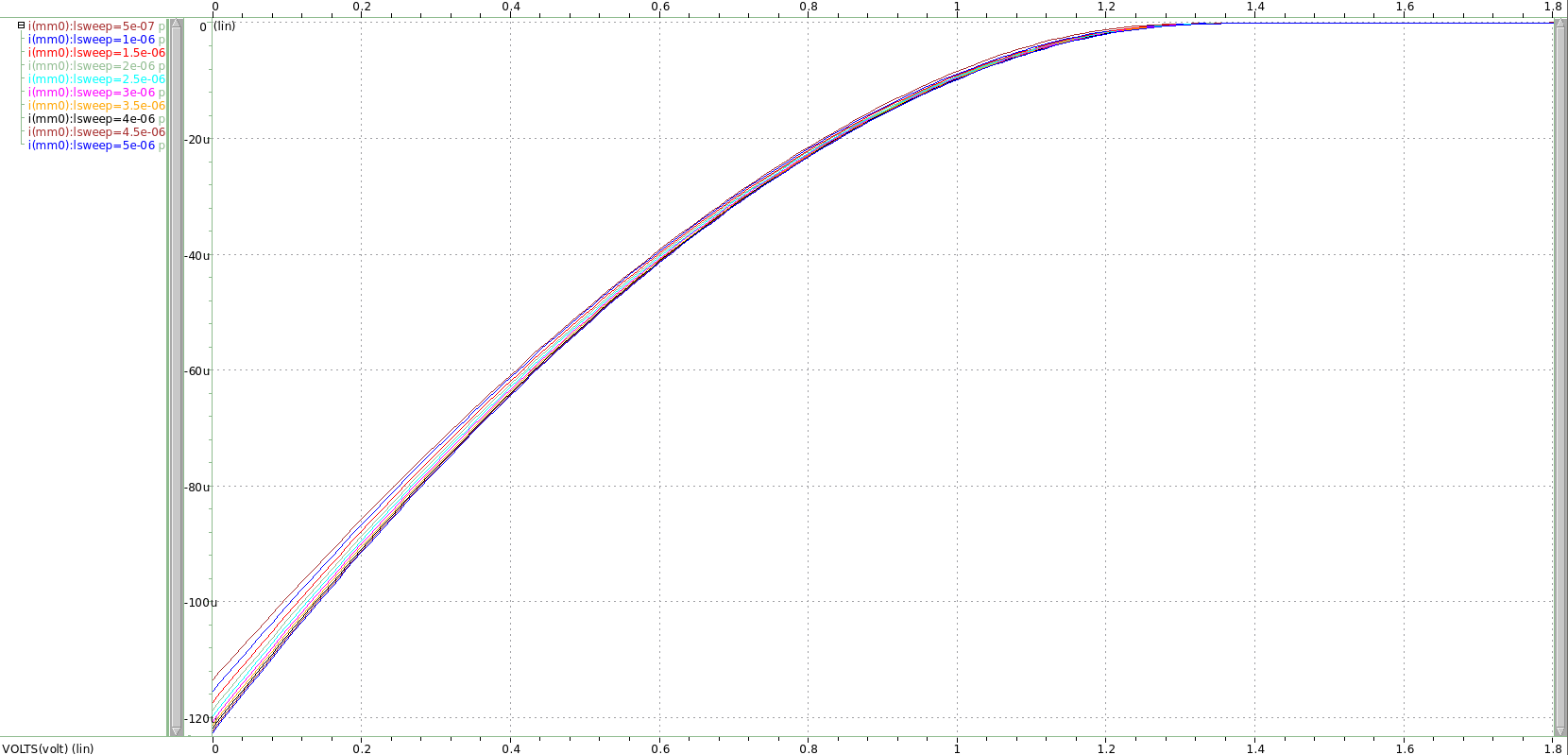
Vg vg 0 0

.DC Vg 0 1.8 0.01 sweep lsweep 0.5u 5u 0.5u

Vss=0V

.PROBE I(MM0)

.END



**Observation and Comments :**

模擬pmos Ids v.s Vsg的曲線與上述nmos的現象大同小異，通道越短，Vth越高，導致 |Ids| 越大。

**Question 2.**

此題的目的為觀察兩個類二極體結構電路的Vth、gds、gm和gm/Cg對通道長度L變化的影響，此題所要求之參數為：

1. Vdd=1.8V
2. W/L=3
3. M=1
4. L=0.18um~10um, step=0.01um
5. Current source I=50uA

由以下的hspice指令可以求得各項特性 (Vth, gds, gm, gm/Cg) 對通道長度L的關係。

1. **diode\_nm.sp (省略declaration) 2. diode\_pm.sp (省略declaration)**

.param lsweep=0.18u

.param wsweep=3\*lsweep

MPMOS VD VG VDD VDD p\_18 w=wsweep l=lsweep m=1

VVDD VDD 0 1.8

VDG VD VG 0

VVSS VSS 0 0

Id VD VSS 50u

.DC sweep lsweep 0.18u 10u 0.01u

.PROBE VSG = par('V(VDD)-V(VG)')

.PROBE I(MPMOS)

.PROBE Vth(MPMOS)

.PROBE GDSO(MPMOS)

.PROBE GMO(MPMOS)

.PROBE CGGBO(MPMOS)

.PROBE gm\_Cg\_ratio = par('GMO(MPMOS)/CGGBO(MPMOS)')

.END

.param lsweep=0.18u

.param wsweep=3\*lsweep

MNMOS Vd Vg Vss Vss n\_18 w=wsweep l=lsweep m=1

VVdd vdd 0 1.8

Id vdd Vd 50u

Vgd Vd Vg 0

VVss Vss 0 0

.DC sweep lsweep 0.18u 10u 0.01u

.PROBE Vth(MNMOS)

.PROBE GDSO(MNMOS)

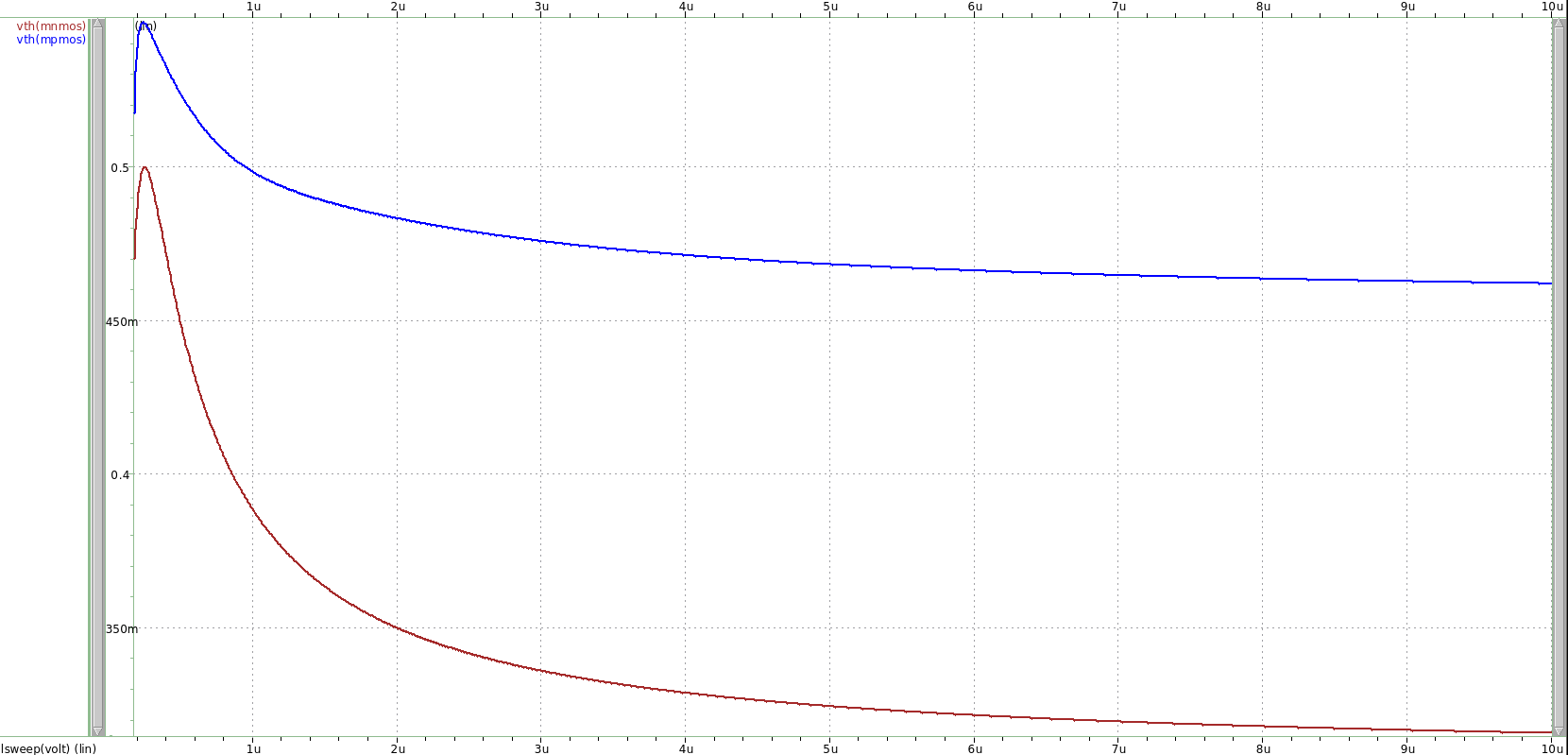
.PROBE GMO(MNMOS)

.PROBE CGGBO(MNMOS)

.PROBE gm\_Cg\_ratio = par('GMO(MNMOS)/CGGBO(MNMOS)')

.END

1. **Vth vs. L**

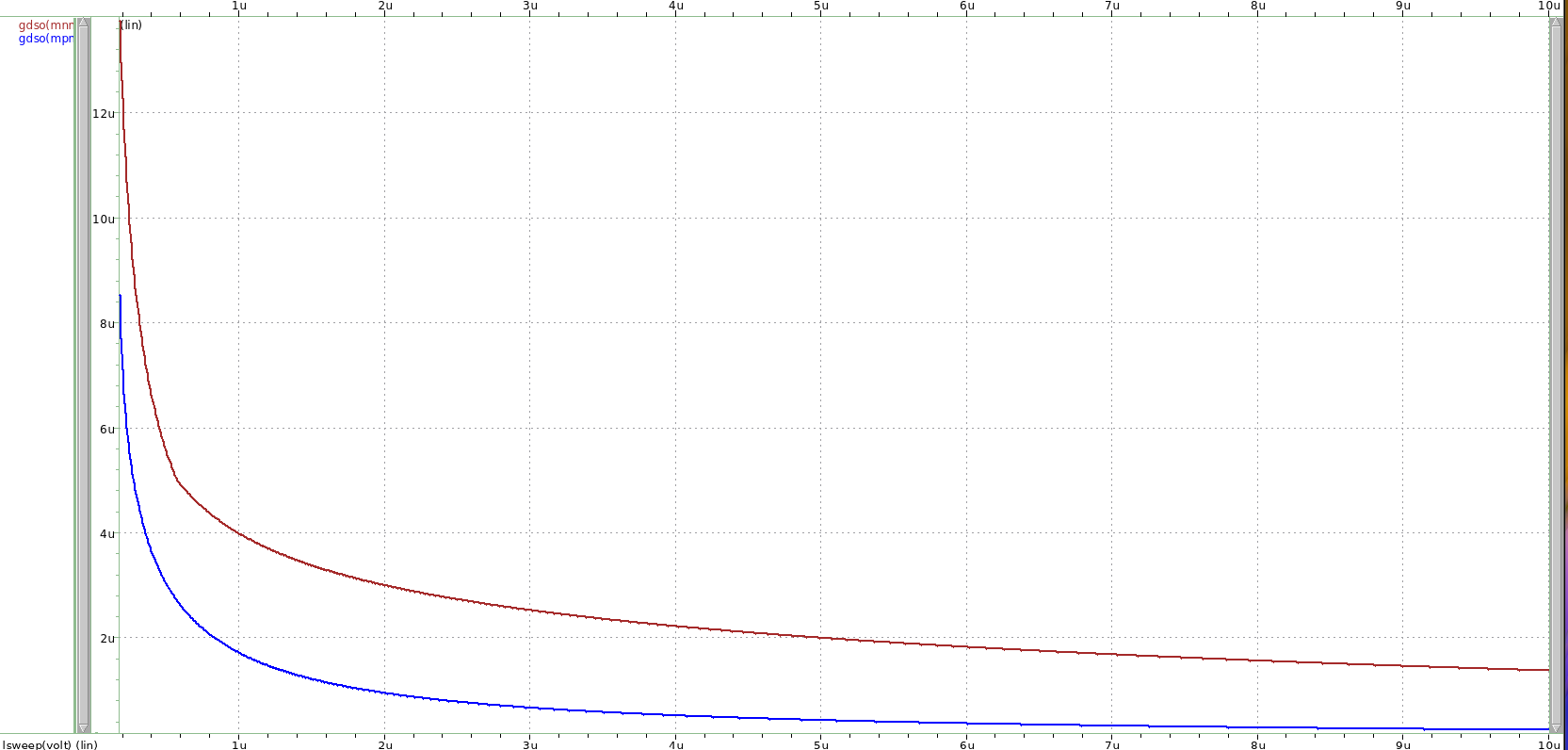


**Observation and Comments :**

從上圖的Vth vs. L曲線模擬圖可以觀察到兩個現象。第一個現象是此作業第一題所分析的*Reversed Short Channel Effect (RSCE)*現象，可以從圖上看到當通道長度L縮短時，Vth有明顯的上升，縮到極短時可以看到Vth重新呈現一般SCE有的DIBL現象(L越短Vth越小)。第二個現象是pmos比nmos的Vth大了許多，原因是因為nmos的主要載子為電子(electron e-)，而pmos的主要載子為電洞(hole h+)，電子具有比電洞高上幾倍的遷移率(mobility)，也就是，因此 。

值得注意的是，因為nmos與pmos的閘級(gate)皆和汲極(drain)接在一起，，因而導致nmos的 的情況永遠成立，相同的，pmos的 也會永遠成立，因此nmos與pmos開啟後皆會在飽和區工作，所以電流公式 成立

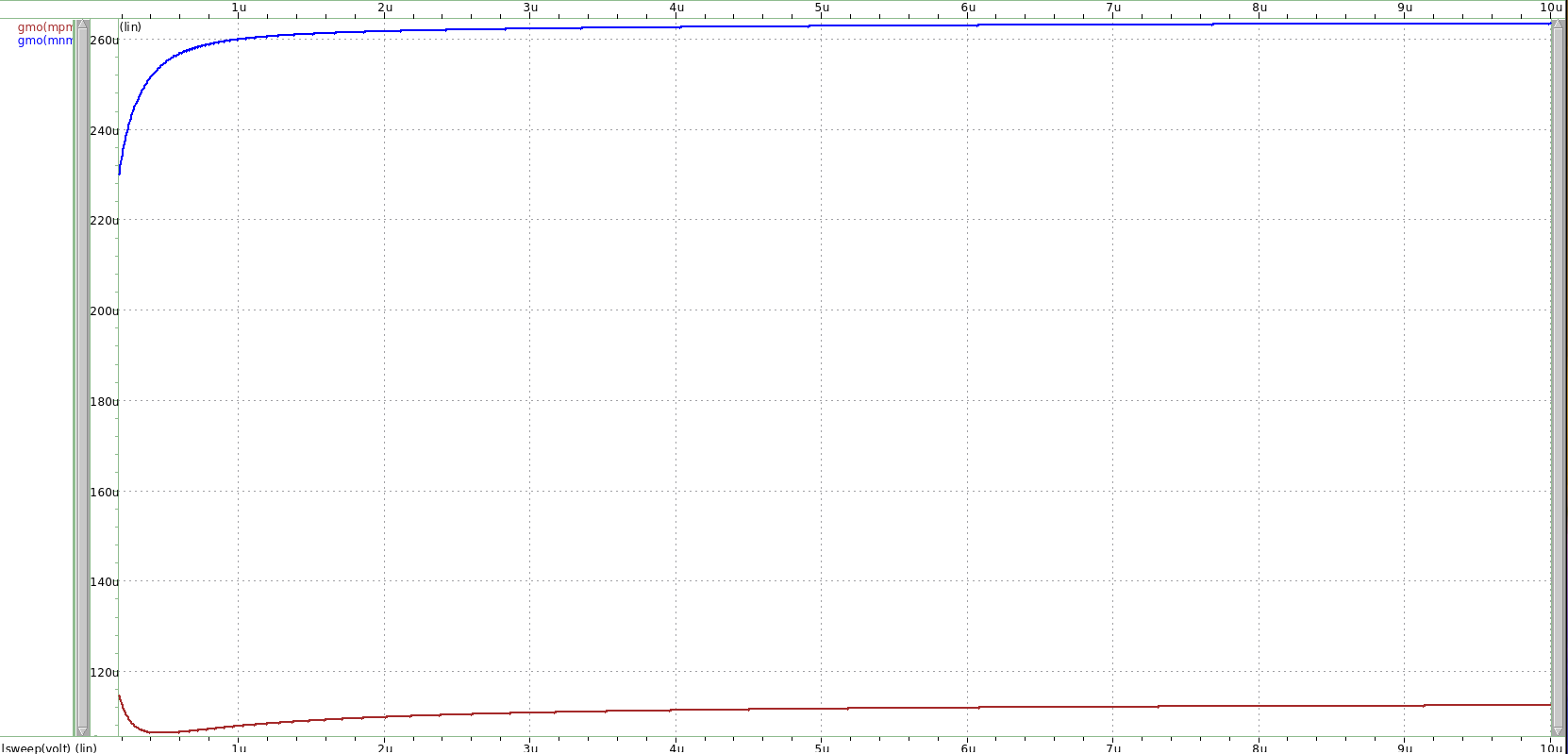
1. **gds vs. L**



**Observation and Comments :**

因為gds為ro輸出阻抗之倒數，且 ，因此在Id固定下，gds會與通道長度L成反比，所以L越小gds會越大，也就是途中呈現的趨勢。另外，可以觀察到nmos的gds會比pmos的gds大，這是因為nmos的主要載子為電子，而他的mobility 大於pmos的主要載子電洞的mobility ，因此nmos有相較pmos較高的drain-source電導gds。

1. **gm vs. L**



**Observation and Comments :**

gm是電晶體的轉導(transconductance)，是輸入電壓轉成電流能力的大小，首先，由圖可觀察到gm在nmos比pmos還大，這是因為 ，且，因此在相同W/L以及電流Ids之下，gmn會大於gmp；另外在圖中可以觀察到當通道長度越短，nmos與pmos的gm皆會有下降的趨勢，這是因為速度飽和 (velocity saturation) 的現象所導致，因為速度飽和現象會導致mobility下降，因此整體的gm也會跟著下降，但值得注意的是nmos的下降幅度較pmos的大，這是因為速度飽和現象主要影響的是電子通道，在pmos的主要載子為電洞的情況下影響較小，所以圖上影響gmp的變化斜率較平緩。

1. **gm/Cg (Speed) vs. L**



**Observation and Comments :**

因為nmos與pmos皆工作在飽和區，因此 ，所以，若L下降，則gm/Cg會升高，至於為什麼 也和有關。

**Question 3.**

此題希望我們測量nmos的寄生電容變化，且Vd與Vs均接地，只改變Vg的電壓。此題所要求的參數為：

1. Vg=-1.8V~1.8V
2. Vd=Vs=Vb=0
3. W/L=1.5um/0.2um

由以下的hspice指令可以獲得Cgs/Cgd/Cgb/Cg\_total對Vg的關係

**nmos.sp (省略declaration)**

MM0 vss vg vss vss n\_18 w=1.5u l=0.2u m=1

VSS vss 0 0

VG vg 0 -1.8

.DC sweep VG -1.8 1.8 0.01

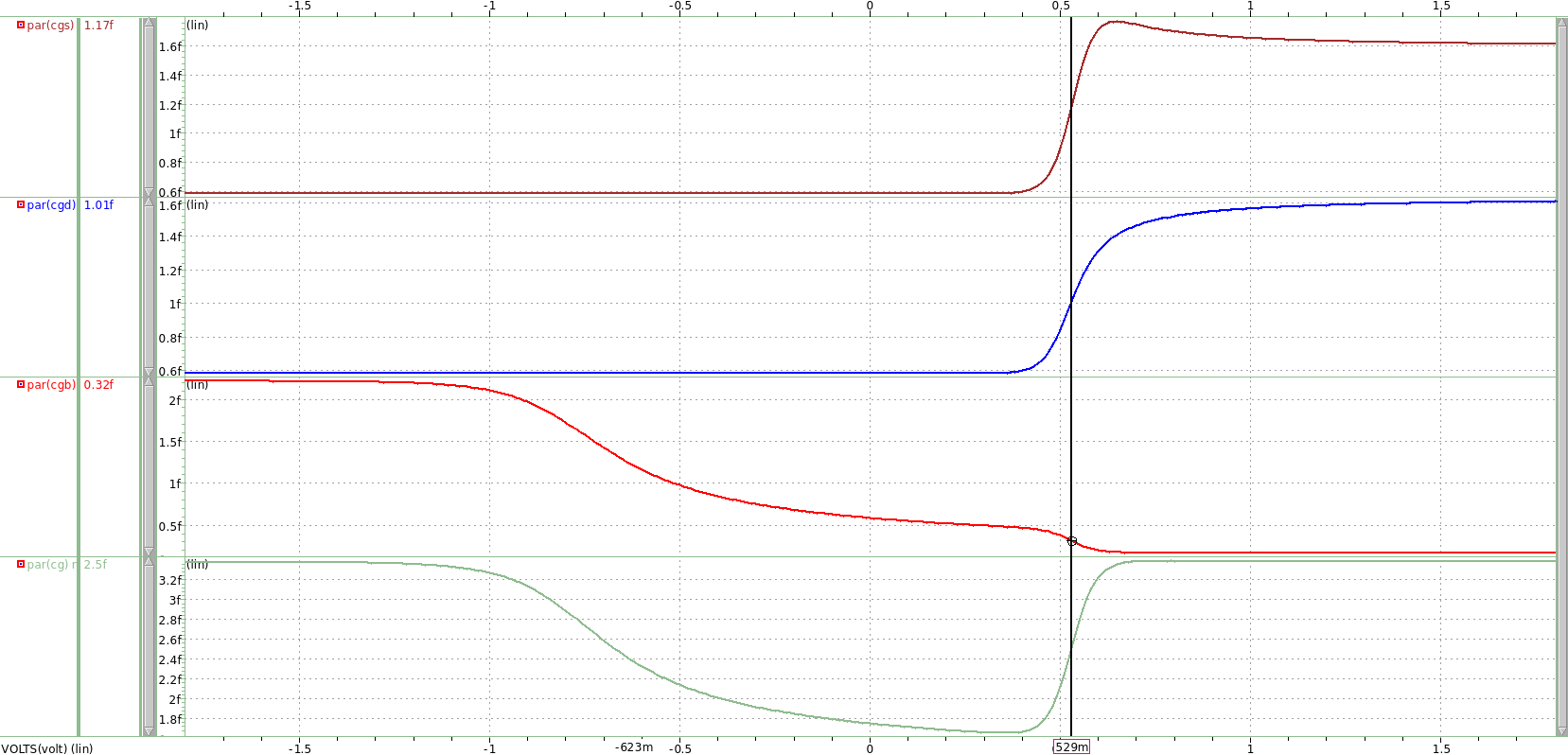
.PROBE Cgs = par('-CGSBO(MM0)')

.PROBE Cgd = par('-CGDBO(MM0)')

.PROBE Cgb = par('CGGBO(MM0) + CGSBO(MM0) + CGDBO(MM0)')

.PROBE Cg = par('CGGBO(MM0)')

.END



**Observation and Comments :**

以此電路圖做hspice模擬並量測Vth值為0.529V，因為這顆nmos的長度只有0.2um，因此由上題所測量的Vth對L曲線圖可以看出此題RSCE所造成的L越小Vth越大的特性。

1. **Cgs vs. Vg**

從圖上可以發現Cgs在電晶體尚未被開啟時有一個0.58fF的電容值，這是因為還沒形成通道時只有overlap交疊的Cgs電容存在，一直到Vgs=Vth=0.529V時，通道形成，因此Cgb原先的電容值會分部分給Cgs，造成Cgs上升至1.6fF後趨緩，至於Cgs相較Cgd有個短暫的上升峰值推測是因為電晶體開啟的瞬間會進入saturation飽和區，接著馬上回到triode線性區。

1. **Cgd vs. Vg**

Cgd所表現出來的現象與Cgs大同小異，唯一與Cgs不同的地方在於Cgd的值在saturation與triode region使用同個公式，導通後以相同的行為慢慢增加到1.6fF，並且沒有像Cgs一樣突起的峰值。

1. **Cgb vs. Vg**

Cgb在一開始還沒形成通道時擁有最高的電容值，因為反轉層尚未形成，隨著Vg的負電壓愈來愈小，造成能排斥掉subtrate中的電子變少，因此電容值減少，等到Vg大於零時，閘極又開始吸附電子至通道形成區，通道漸漸形成後，至Vg>Vth=0.529V後，Cgb減少至接近0，其餘通道對閘極之電容會分給Cgd與Cgs。

1. **Cg\_total vs. Vg**

由以上三種電容Cgs+Cgb+Cgd=Cg\_total，可以觀察到除了Vg負電壓趨於0或是形成通道的時候，總Cg電容值都趨近於最大值3.38fF。

**Question 4.**

此題的目的是要我們找出body effect對Vth造成的影響，並繪出不同通道長度L的body effect，此題要求的參數為：

1. Vdd=1.8V
2. Vb=0~1.8V, step=0.01V
3. W/L=3
4. L=0.5um~5um, step=0.5um
5. Id=50uA

由以下的hspice指令可以獲得Vth vs. Vb在不同通道長度L的模擬曲線圖

1. **body\_eff\_nm.sp (省略declaration) 2. body\_eff\_pm.sp (省略declaration)**

.param lsweep=0.5u

.param wsweep=3\*lsweep

MM0 VG VG VSS Vb n\_18 w=wsweep l=lsweep m=1

VVDD VDD 0 1.8

Id VDD VG 50u

VVSS VSS 0 0

VVb Vb 0 0

.DC VVb 0 1.8 0.01 sweep lsweep 0.5u 5u 0.5u

.PROBE Vth = par('Vth(MM0)')

.END

.param lsweep=0.5u

.param wsweep=3\*lsweep

MM0 VG VG VDD VB p\_18 w=wsweep l=lsweep m=1

VVDD VDD 0 1.8

ID VG 0 50u

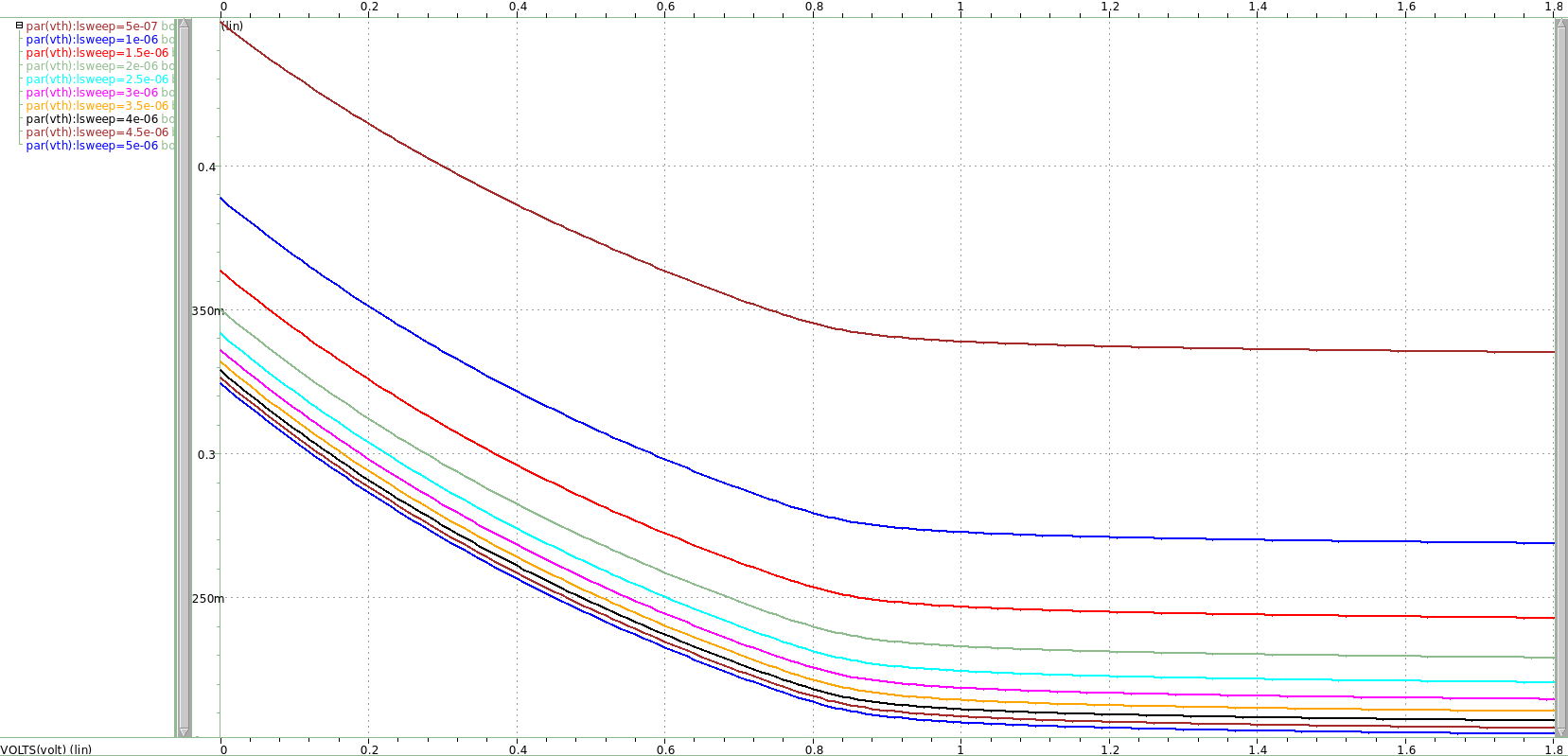
VVB VB 0 0

.DC VVB 0 1.8 0.01 sweep lsweep 0.5u 5u 0.5u

.PROBE Vth = par('Vth(MM0)')

.END

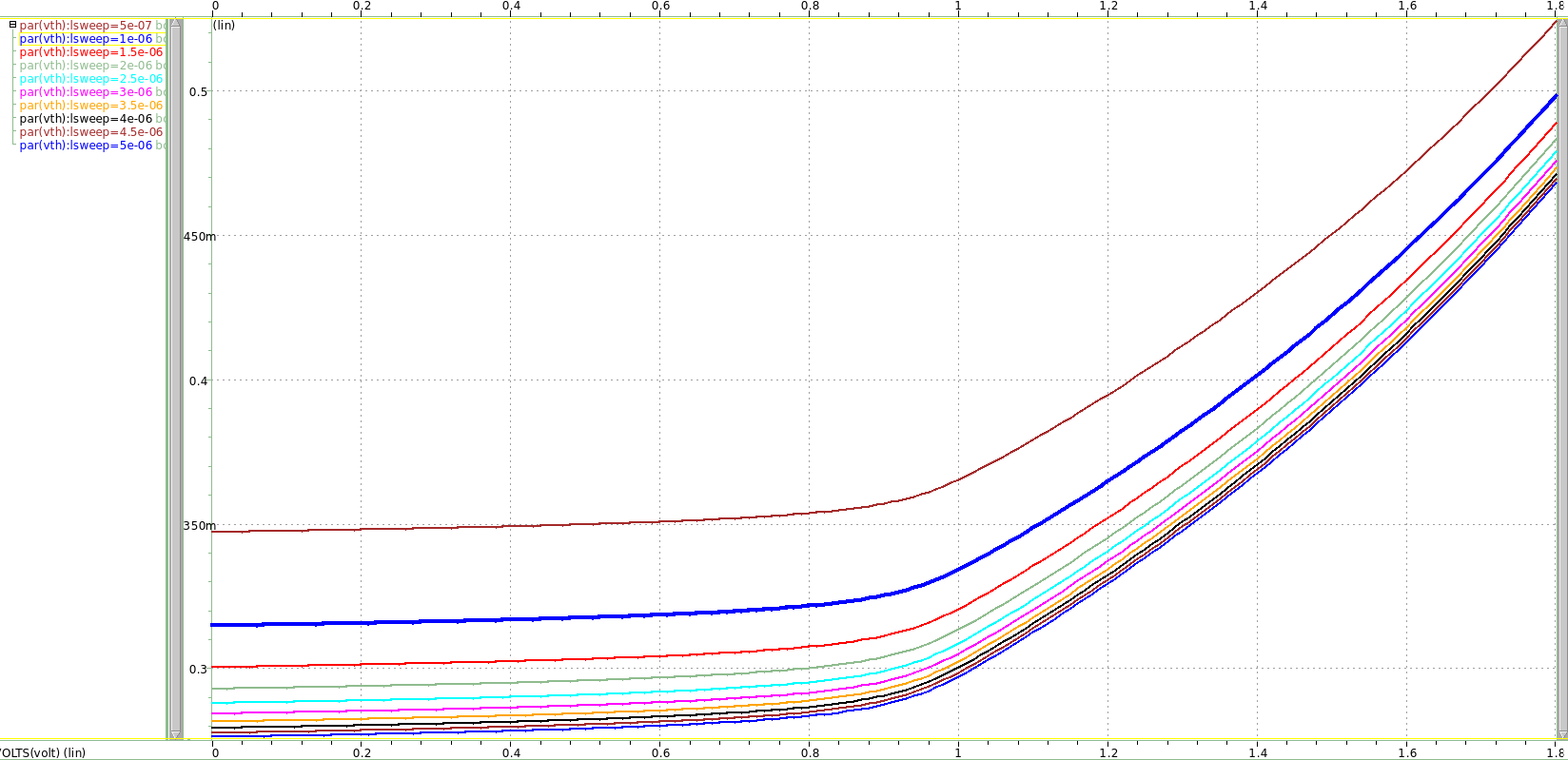
1. **Vth vs. Vb (nmos)**

****

**Observation and Comments :**

因為body effect ，因此若Vb從0~1.8V逐漸增加，會導致為負，Vsb套入上述公式則Vth會下降，因此可以看到圖中的Vb越大，Vth下降的趨勢。另外，從圖中也可以發現通道長度L較短的，Vth較大，這是因為第一題所提到的RSCE (reversed short channel effect) 現象所導致。

1. **Vth vs. Vb (pmos)**



**Observation and Comments :**

接續第一小題的公式，因為pmos的 ，且Vsb=Vs-Vb=1.8V-(0~1.8V)=1.8~0V，因此Vb上升，Vsb下降，最後導致Vth會逐漸增加。至於通道長度L短Vth大，也是與上小題同樣的RSCE現象有關。